



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10303214 A**(43) Date of publication of application: **13.11.98**

(51) Int. Cl.  
**H01L 21/331**  
**H01L 29/73**  
**H01L 29/205**

(21) Application number: **09111577**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **28.04.97**(72) Inventor: **TAKAHASHI TAKESHI**

(54) **HETERO BIPOLAR TYPE SEMICONDUCTOR  
 DEVICE AND ITS MANUFACTURE**

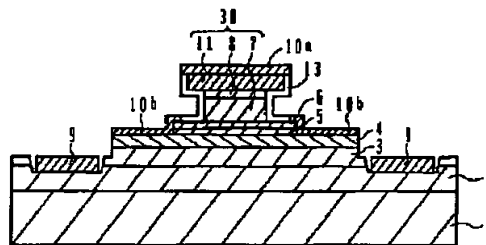
brought into contact with each other, a base resistance  
 can be lowered.

## (57) Abstract:

COPYRIGHT: (C)1998,JPO

**PROBLEM TO BE SOLVED:** To lower a base resistance and improve reliability of a base electrode which is no ohmic contact with a base layer by defining a guard ring consisting of lamination of an emitter and guard ring layer and a protection layer between an outer circumference of an emitter mesa structure and an end part of the structure side.

**SOLUTION:** A base electrode 10b is formed on a base layer 4 to enclose lamination of an emitter also acting as guard ring layer 5 and a protection layer 6. The base electrode 10b continuously covers a surface from a region outside an outer circumference of the emitter also acting as the guard ring layer 5 of a surface of the base layer 4 to a region slightly inside an outer circumference of a surface of the protection layer 6. A guard ring part consisting of lamination of the emitter also acting as the guard ring layer 5 and the protection layer 6 is defined between an end part at the side of an emitter mesa structure 30 of the base electrode 10b and a side surface of a GaAs emitter cap layer 7. Since the base electrode 10b and the base layer 4 can be thereby



(43)公開日 平成10年(1998)11月13日

審査請求 未請求 請求項の数8 O.L (全 8 頁)

(74) 代理人 弁理士 高橋 敬四郎

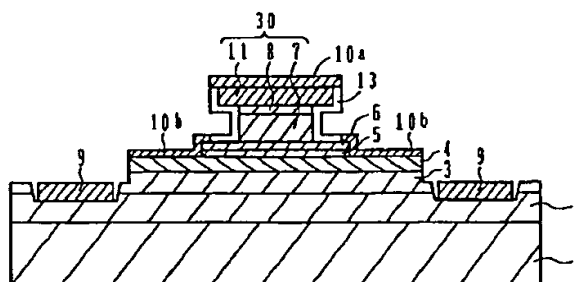
(54) 【発明の名称】 ヘテロバイポーラ型半導体装置とその製造方法

(57) 【要約】

【課題】 ベース抵抗が低く、かつ信頼性の高いヘテロバイポーラ型半導体装置及びその製造方法を提供する。

【解決手段】 支持基板上に形成されたコレクタ層と、コレクタ層の上に形成されたベース層を有する。ベース層の一部の領域上に、 $I_n$ を含み、ベース層よりも大きなバンドギャップを有するエミッタ兼ガードリング層が形成されている。エミッタ兼ガードリング層の上に、 $I_n$ を含まない保護層が形成されている。保護層の外周近傍を除く一部の領域上にエミッタメサ構造体が形成されている。ベース層の表面のうちエミッタ兼ガードリング層の形成されていない領域から、保護層の表面のうちその外周よりもやや内側の領域までを連続的に覆うようベース電極が形成されている。エミッタメサ構造体の外周とベース電極の端部との間に、エミッタ兼ガードリング層と保護層との積層からなるガードリング部が画定される。

### 実施例によるHBT



## 【特許請求の範囲】

【請求項1】 支持基板と、

前記支持基板上に形成された化合物半導体からなるコレクタ層と、

前記コレクタ層の上に形成された化合物半導体からなるベース層と、

前記ベース層の一部の領域上に形成され、III族の構成元素としてInを含み、前記ベース層よりも大きなバンドギャップを有するIII-V族化合物半導体からなるエミッタ兼ガードリング層と、

前記エミッタ兼ガードリング層の上に形成され、III族の構成元素としてInを含まないIII-V族化合物半導体からなる保護層と、

前記保護層の外周近傍を除く一部の領域上に形成された化合物半導体からなるエミッタキャップ層を含むエミッタメサ構造体と、

前記ベース層の表面のうち前記エミッタ兼ガードリング層の形成されていない領域から、前記保護層の表面のうちその外周よりもやや内側の領域までを連続的に覆うように形成され、前記ベース層とオーミック接触するベース電極であって、前記エミッタメサ構造体の外周と前記ベース電極のエミッタメサ構造体側の端部との間に、前記エミッタ兼ガードリング層と前記保護層との積層からなるガードリング部を画定するベース電極とを有するヘテロバイポーラ型半導体装置。

【請求項2】 前記エミッタメサ構造体が、さらに、前記エミッタキャップ層の上に形成されたエミッタ電極を含み、該エミッタ電極が底状に張り出した形状を有し、その底部分の先端の位置と前記ベース電極の前記エミッタメサ構造体側の端部の位置とが、前記支持基板の面内方向に関して整合している請求項1に記載のヘテロバイポーラ型半導体装置。

【請求項3】 前記エミッタメサ構造体が、さらに、前記エミッタキャップ層と前記保護層との間に、該エミッタキャップ層及び前記保護層とエッチング耐性の異なる化合物半導体からなるエッチング停止層を含む請求項1または2に記載のヘテロバイポーラ型半導体装置。

【請求項4】 前記コレクタ層、ベース層がGaAsにより形成され、前記エミッタ兼ガードリング層がInGaP、InGaAsP、及びInGaAlPからなる群より選ばれた1つの半導体材料により形成され、前記保護層がGaAsまたはAlGaAsにより形成されている請求項1～3のいずれかに記載のヘテロバイポーラ型半導体装置。

【請求項5】 支持基板上に、化合物半導体からなるコレクタ層とベース層とをこの順番に積層し、該ベース層の上に、III族の構成元素としてInを含み、かつ該ベース層よりも大きなバンドギャップを有するIII-V族化合物半導体からなるエミッタ兼ガードリング層を堆積する工程と、

前記エミッタ兼ガードリング層の上に、III族元素としてInを含まないIII-V族化合物半導体からなる保護層を形成する工程と、

前記エミッタキャップ層を部分的にエッチングしてエミッタメサ構造体を残す工程と、

前記エミッタメサ構造体の側壁上に、第1の側壁体を形成する工程と、

前記第1の側壁体の側壁上に、該第1の側壁体とエッチング耐性の異なる第2の側壁体を形成する工程と、

10 前記第2の側壁体をマスクとして、前記保護層及びエミッタ兼ガードリング層をエッチングする工程と、

前記第2の側壁体を除去し、前記保護層の表面のうちその外周からやや内側までの領域を露出させる工程と、前記ベース層の露出した表面から前記保護層の露出した表面までを、連続的に覆うベース電極を形成する工程とを有するヘテロバイポーラ型半導体装置の製造方法。

【請求項6】 前記エミッタキャップ層を形成する工程の後、さらに、前記エミッタキャップ層の上にエミッタ電極を形成する工程を有し、

20 前記エミッタメサ構造体を残す工程が、前記エミッタ電極をマスクとして前記エミッタキャップ層をエッチングする工程を含む請求項5に記載のヘテロバイポーラ型半導体装置の製造方法。

【請求項7】 前記エミッタキャップ層をエッチングする工程において、前記エミッタキャップ層をサイドエッチングし、前記エミッタ電極の周辺部が底状に張り出した構造とする請求項6に記載のヘテロバイポーラ型半導体装置の製造方法。

30 【請求項8】 前記保護層を形成する工程の後、さらに、前記保護層及び前記エミッタキャップ層とエッチング耐性の異なる半導体からなるエッチング停止層を形成する工程を含み、

前記エミッタメサ構造体を残す工程が、

前記エッチング停止層のエッチング速度よりも前記エミッタキャップ層のエッチング速度の方が大きくなる条件で、前記エミッタキャップ層を部分的にエッチングする工程と、

前記保護層のエッチング速度よりも前記エッチング停止層のエッチング速度の方が大きくなる条件で、前記エッチング停止層を部分的にウェットエッチングする工程とを含む請求項5～7のいずれかに記載のヘテロバイポーラ型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はヘテロバイポーラ型半導体装置とその製造方法に関する。ヘテロバイポーラ型半導体装置は、高速動作可能であり、電流駆動能力が高いため、マイクロ波デバイスや光通信のドライバ等に応用が期待されている。

50 【0002】

【従来の技術】図5は、特開平7-106343号公報に開示されたヘテロバイポーラトランジスタ(HBT)の一例を示す。半絶縁性のGaAsからなる支持基板101の上に、n<sup>+</sup>型GaAsからなるコレクタコンタクト層102及びn型GaAsからなるコレクタ層103がこの順番に積層されている。コレクタ層103の上にp<sup>+</sup>型GaAsベース層104、n型InGaP下部エミッタ層105、n型AlGaAs保護層106がこの順番に積層されている。

【0003】保護層106の一部の領域上にn型GaAs上部エミッタ層107、n<sup>+</sup>型InGaAsエミッタキャップ層108、エミッタ電極111が積層されたエミッタメサ構造体130が形成されている。エミッタ電極111の周辺部は、上部エミッタ層108の側壁から底状に張り出している。エミッタメサ構造体130の側壁上に側壁絶縁体113が形成されている。

【0004】保護層106の上に、エミッタメサ構造体130を取り囲むようにAuBeベース電極110が形成されている。ベース電極110とエミッタメサ構造体130との間に、下部エミッタ層105と保護層106との積層からなるガードリング部112が画定される。

【0005】ベース電極110の下に、ベース層4まで達する電極反応領域120が形成され、ベース電極110とベース層104とがオーミック接続される。コレクタコンタクト層102にはコレクタ電極109がオーミック接続されている。

【0006】ガードリング部112は空乏化しているため、ガードリング部112を通してベース-エミッタ間に電流が流れることはない。エミッタメサ構造体130とベース電極110との間において、ベース層104がガードリング部112で覆われ、露出しない。このため、ベース層104の表面における電子正孔の再結合による電流利得の低下を抑制することができる。

【0007】また、Inを含む下部エミッタ層105が酸化性雰囲気には晒されると、導電性の酸化インジウムの薄層が形成される。酸化インジウム薄層はベース電極110と上部エミッタ層107とを導通させるため、電流利得の低下の要因になる。図5に示すHBTでは、下部エミッタ層105が、Inを含まない保護層106で覆われているため、酸化インジウム薄層の形成を防止できる。

【0008】

【発明が解決しようとする課題】図5に示すHBTでは、ベース電極110とベース層104とが、下部エミッタ層105と保護層106とを介してオーミック接続されている。このため、ベース抵抗を減少させることが困難になる。また、ベース電極110には、p<sup>+</sup>型ベース層とオーミック接続するためにp型不純物が添加される。このp型不純物がn型の保護層106内を横方向に拡散すると、保護層106のベース電極110近傍領域

がp型になる。このため、保護層106の表面にpn接合部が露出することになる。露出したpn接合部は表面再結合の要因になり、HBTの信頼性の低下を招く。

【0009】本発明の目的は、ベース抵抗が低く、かつ信頼性の高いヘテロバイポーラ型半導体装置及びその製造方法を提供することである。

【0010】

【課題を解決するための手段】本発明の一観点によると、支持基板と、前記支持基板上に形成された化合物半導体からなるコレクタ層と、前記コレクタ層の上に形成された化合物半導体からなるベース層と、前記ベース層の一部の領域上に形成され、III族の構成元素としてInを含み、前記ベース層よりも大きなバンドギャップを有するIII-V族化合物半導体からなるエミッタ兼ガードリング層と、前記エミッタ兼ガードリング層の上に形成され、III族の構成元素としてInを含まないIII-V族化合物半導体からなる保護層と、前記保護層の外周近傍を除く一部の領域上に形成された化合物半導体からなるエミッタキャップ層を含むエミッタメサ構造体と、前記ベース層の表面のうち前記エミッタ兼ガードリング層の形成されていない領域から、前記保護層の表面のうちその外周よりもやや内側の領域までを連続的に覆うように形成され、前記ベース層とオーミック接続するベース電極であって、前記エミッタメサ構造体の外周と前記ベース電極のエミッタメサ構造体側の端部との間に、前記エミッタ兼ガードリング層と前記保護層との積層からなるガードリング部を画定するベース電極とを有するヘテロバイポーラ型半導体装置が提供される。

【0011】本発明の他の観点によると、支持基板上に、化合物半導体からなるコレクタ層とベース層とをこの順番に積層し、該ベース層の上に、III族の構成元素としてInを含み、かつ該ベース層よりも大きなバンドギャップを有するIII-V族化合物半導体からなるエミッタ兼ガードリング層を堆積する工程と、前記エミッタ兼ガードリング層の上に、III族元素としてInを含まないIII-V族化合物半導体からなる保護層を形成する工程と、前記エミッタキャップ層を部分的にエッチングしてエミッタメサ構造体を残す工程と、前記エミッタメサ構造体の側壁上に、第1の側壁体を形成する工程と、前記第1の側壁体の側壁上に、該第1の側壁体とエッチング耐性の異なる第2の側壁体を形成する工程と、前記第2の側壁体をマスクとして、前記保護層及びエミッタ兼ガードリング層をエッチングする工程と、前記第2の側壁体を除去し、前記保護層の表面のうちその外周からやや内側までの領域を露出させる工程と、前記ベース層の露出した表面から前記保護層の露出した表面までを、連続的に覆うベース電極を形成する工程とを有するヘテロバイポーラ型半導体装置の製造方法が提供される。

【0012】ベース電極とエミッタメサ構造体との間に

において、ベース層がガードリング部により覆われているため、ベース層表面における再結合が抑制される。また、ガードリング部の上層は、Inを含まない保護層である。このため、Inを含むエミッタ兼ガードリング層が大気に晒されることがなく、導電性の酸化インジウム薄層の形成を防止できる。保護層の形成されていない領域において、ベース電極とベース層とが直接接している。このため、ベース抵抗を低くすることが可能になる。

【0013】

【発明の実施の形態】図1は、本発明の実施例によるヘテロバイポーラトランジスタ(HBT)の断面図を示す。半絶縁性のGaAsからなる支持基板1の上に、n<sup>+</sup>型GaAsからなるコレクタコンタクト層2が形成されている。コレクタコンタクト層2の不純物濃度は $3 \times 10^{19} \text{ cm}^{-3}$ 、厚さは500nmである。

【0014】コレクタコンタクト層2の上に、ノンドープのGaAsからなる厚さ約450nmのコレクタ層3が形成されている。コレクタ層3の上に、p<sup>+</sup>型GaAsからなるベース層4が形成されている。ベース層4の不純物濃度は $4 \times 10^{19} \text{ cm}^{-3}$ 、厚さは約70nmである。

【0015】ベース層4の周辺部を除く領域上に、n型InGaPからなるエミッタ兼ガードリング層5が形成されている。エミッタ兼ガードリング層5の不純物濃度は $3 \times 10^{17} \text{ cm}^{-3}$ 、厚さは30nmである。エミッタ兼ガードリング層5の上にn型AlGaAsからなる保護層6が形成されている。保護層6の不純物濃度は $3 \times 10^{17} \text{ cm}^{-3}$ 、厚さは約5nmである。なお、保護層6をGaAsで形成してもよい。

【0016】保護層6の周辺部を除く領域上に、n型GaAsからなる厚さ300nmのエミッタキャップ層7、n型InGaAsからなる厚さ100nmのエミッタキャップ層8、及びWSiからなるエミッタ電極11がこの順番に積層されたエミッタメサ構造体30が形成されている。

【0017】GaAsエミッタキャップ層7の不純物濃度は、その下側の厚さ150nmの部分において $3 \times 10^{17} \text{ cm}^{-3}$ であり、上側の厚さ150nmの部分において $3 \times 10^{19} \text{ cm}^{-3}$ である。InGaAsエミッタキャップ層8の不純物濃度は $3 \times 10^{19} \text{ cm}^{-3}$ である。エミッタ電極11の周辺部は、エミッタキャップ層7の側壁から底状に張り出している。

【0018】ベース層4の上に、エミッタ兼ガードリング層5と保護層6との積層を取り囲むように、ベース電極10bが形成されている。ベース電極10bは、ベース層4の表面のうちエミッタ兼ガードリング層5の外周よりも外側の領域から、保護層6の表面のうちその外周よりもやや内側の領域までを連続的に覆っている。このベース電極10bは、下層から順番に厚さ10nmのT

i層、厚さ50nmのPt層、及び厚さ100nmのAu層が積層された構造を有する。

【0019】なお、ベース電極10bを、下層から順番にPt層、Ti層、Pt層、及びAu層が積層された4層構造としてもよいし、Cr層とAu層が積層された2層構造としてもよい。

【0020】ベース層4を取り囲むように、コレクタ層3にコレクタコンタクト層2を露出させる開口が形成され、この開口内にコレクタ電極9が形成されている。コレクタ電極9は、下層から順番に厚さ30nmのAuGe層、厚さ10nmのNi層、及び厚さ300nmのAu層が積層された構造を有する。

【0021】次に、図2A、2B、及び図3A、3Bを参照して、図1に示すHBTの作製方法について説明する。

【0022】図2Aに示すように、半絶縁性のGaAsからなる支持基板1の上に、n<sup>+</sup>型GaAsコレクタコンタクト層2、ノンドープのGaAsコレクタ層3、p<sup>+</sup>型GaAsベース層4、n型InGaPエミッタ兼ガードリング層5、n型AlGaAs保護層6、n型GaAsエミッタキャップ層7、n<sup>+</sup>型InGaAsエミッタキャップ層8、及びWSiエミッタ電極層11を、有機金属化学気相成長(MOCVD)により堆積する。各層の不純物濃度及び膜厚は、上述した図1に示すHBTの説明の通りである。

【0023】図2Bに示すように、エミッタ電極層11をバターニングしてエミッタ電極11を残す。エミッタ電極11をマスクとし、H<sub>2</sub>PO<sub>4</sub>、H<sub>2</sub>O<sub>2</sub>、H<sub>2</sub>Oの混合液を用いてInGaAsエミッタキャップ層8をエッチングし、GaAsエミッタキャップ層7の表面の一部を露出させる。その後、GaAsエミッタキャップ層7をSiCl<sub>4</sub>とSF<sub>6</sub>との混合ガスを用い、圧力を15Pa程度として選択エッチングする。このとき、GaAsエミッタキャップ層7はアンダーカットされ、エミッタ電極11の周辺部が底状に張り出す。このようにして、GaAsエミッタキャップ層7、InGaAsエミッタキャップ層8、及びエミッタ電極11からなるエミッタメサ構造体30が形成される。

【0024】次に、基板全面に、厚さ約100nmのSi<sub>3</sub>N<sub>4</sub>膜をCVDにより等方的に堆積し、CF<sub>4</sub>とCHF<sub>3</sub>との混合ガスを用いて異方性の反応性イオンエッチング(RIE)を行う。エミッタメサ構造体30の側壁上に、Si<sub>3</sub>N<sub>4</sub>側壁体13が残る。次に、基板全面に、厚さ200nmのSiO<sub>2</sub>膜をCVDにより等方的に堆積し、CF<sub>4</sub>とCHF<sub>3</sub>との混合ガスを用いて異方性のRIEを行う。Si<sub>3</sub>N<sub>4</sub>側壁体13の側壁上にSiO<sub>2</sub>側壁体14が残る。

【0025】なお、SiO<sub>2</sub>側壁体14を形成するためのSiO<sub>2</sub>膜の堆積は、積極的に膜質が悪くなる条件で行う。例えば、堆積時の基板温度を200℃～250℃

10

20

30

40

50

とした条件で堆積する。

【0026】図3Aに示すように、 $\text{SiO}_2$ 、側壁体14をマスクとし、 $\text{NH}_3$ 、 $\text{OH}$ と $\text{H}_2\text{O}_2$ と $\text{H}_2\text{O}$ との混合液を用いてAlGaAs保護層6を選択エッチングする。続いて、 $\text{HCl}$ と $\text{H}_3\text{PO}_4$ との混合液を用いてInGaPエミッタ兼ガードリング層5を選択エッチングする。エミッタ兼ガードリング層5の周囲にベース層4の表面が露出する。

【0027】バッファード弗酸を用いて $\text{SiO}_2$ 、側壁体14を、 $\text{SiN}$ 側壁体13に対して選択的にエッチングする。側壁体14は、膜質が悪くなる条件で堆積されているため、容易にエッチング除去することができる。AlGaAs保護層6の表面のうち、外周からやや内側までの領域が露出する。露出部分の幅は、 $\text{SiO}_2$ 、側壁体14の膜厚にはほぼ等しい。

【0028】図3Bに示すように、蒸着により、ベース層4の上にTi層、Pt層、Au層の3層からなるベース電極層10bを堆積する。なお、エミッタ電極11の上にもTi/Pt/Auの3層からなるエミッタ上部電極10aが堆積する。エミッタメサ構造体30及びその周囲をレジストパターン20で覆う。レジストパターン20をマスクとし、アルゴンイオンミリングにより余分なベース電極層を除去する。

【0029】レジストパターン20をマスクとし、 $\text{H}_3\text{PO}_4$ と $\text{H}_2\text{O}_2$ と $\text{H}_2\text{O}$ との混合液を用いてGaAsベース層4を選択エッチングする。さらに、同じエッチング液を用い、GaAsコレクタ層3の上層部をエッチングする。例えば、ベース層4との界面から約100nm程度の深さまでエッチングする。その後、レジストパターン20を除去する。

【0030】図1に示すように、コレクタ電極9が形成される領域に対応した開口を有するレジストパターンをマスクとし、 $\text{H}_3\text{PO}_4$ と $\text{H}_2\text{O}_2$ と $\text{H}_2\text{O}$ との混合液を用いてGaAsコレクタ層3及びGaAsコレクタコンタクト層2の上層部をエッチングする。AuGe層、Ni層、Au層をこの順番に蒸着し、リフトオフによりコレクタ電極9を残す。

【0031】窒素雰囲気中で400℃、1分間の熱処理を行い、コレクタ電極9とコレクタコンタクト層2との界面において合金化を行い、オーミック接触を得る。

【0032】図1に示すHBTでは、ベース電極10bのエミッタメサ構造体30側の端部の基板面内に関する位置が、 $\text{SiN}$ 側壁体13の側面の位置にはほぼ一致する。また、エミッタ電極11の底部先端とは、 $\text{SiN}$ 側壁体13の膜厚分だけずれており、それらの基板面内位置は、ほぼ整合している。

【0033】ベース電極10bのエミッタメサ構造体30側の端部とGaAsエミッタキャップ層7の側面との間に、エミッタ兼ガードリング層5と保護層6との積層からなるガードリング部12が画定される。Inを含む

エミッタ兼ガードリング層5が大気に晒されないため、エミッタ兼ガードリング層5の表面に導電性の酸化インジウム薄層が形成されない。このため、ベース電極4とエミッタキャップ層7とが酸化インジウム薄層を通して電氣的に接続されることを防止できる。

【0034】また、ベース電極10bがベース層4に直接接触している。このため、ベース電極10bとベース層4とを低抵抗でオーミック接続することができる。図5に示す従来例の場合には、ベース電極110とp型ベース層104とを、n型のエミッタ兼ガードリング層105と保護層106とを介してオーミック接続する必要がある。このため、ベース電極110内に予めp型不純物を添加しておく必要があった。

【0035】これに対し、本実施例の場合には、ベース電極10b内にp型不純物を添加しておく必要がない。このため、ベース電極10bからn型のエミッタ兼ガードリング層5及び保護層6内へp型不純物が拡散することがない。このため、保護層6内にp型領域が形成されず、pn接合部がその表面に現れない。従って、表面再結合の少ない素子を得ることができる。

【0036】上記実施例では、エミッタ兼ガードリング層5としてInGaPを用いた場合を示したが、ベース層4に格子整合し、ベース層4の材料よりもバンドギャップの大きな他の材料を用いてもよい。例えば、InGaAsP、InGaAlP等を用いてもよい。

【0037】また、上記実施例では、npn型のトランジスタについて説明したが、各層の導電型を逆にしてpnp型のトランジスタを作製することもできる。

【0038】また、上記実施例では、図2Bにおいて内側の側壁体13を $\text{SiN}$ で形成し、外側の側壁体14を $\text{SiO}_2$ で形成した。2つの側壁体13と14は、相互にエッチング耐性の異なるその他の材料で形成してもよい。例えば、内側の側壁体13を $\text{SiO}_2$ で形成し、外側の側壁体14を $\text{SiN}$ で形成してもよい。

【0039】図4A～4Cは、図1に示すHBTの変形例を示す。図4Aに示すHBTにおいては、エミッタ電極11が底状に張り出していない。このような構造は、図2Bで説明したエミッタキャップ層8と7をエッチングする工程において、サイドエッチングされにくい条件でエッチングすることにより実現される。例えば、図2Bにおいては、GaAsエミッタキャップ層7を $\text{SiCl}_4$ とSF<sub>6</sub>との混合ガスを用い、圧力を15Pa程度としてエッチングしたが、圧力を1Pa程度とすることにより、サイドエッチングの少ないエッチングを行うことができる。

【0040】図1に示した実施例の場合には、図3Bで説明したベース電極10bを蒸着する工程において、エミッタ電極11の底部分の影になる領域にベース電極層が堆積しない。このため、エミッタ上部電極10aとベース電極10bとを容易に分離することができる。これ

10

20

30

40

50

に対し、図4Aに示す構造の場合には、SiN側壁体13の側面上にもベース電極層が堆積し、エミッタ上部電極10aとベース電極10bとが短絡しやすい。

【0041】エミッタ上部電極10aとベース電極10bとの短絡を防止するために、ベース電極層を蒸着した後、斜方からアルゴンイオンミリングを行う。アルゴンイオンミリングによりSiN側壁体13の側面上に堆積したベース電極層が除去され、エミッタ上部電極10aとベース電極10bとを分離することができる。

【0042】図4Bに示すHBTにおいては、n型AlGaAs保護層6とn型GaAsエミッタキャップ層7との間に、n型InGaPエッチング停止層17が挿入されている。エッチング停止層17の不純物濃度は、エミッタキャップ層7と同じ $3 \times 10^{17} \text{ cm}^{-3}$ であり、その厚さは10nmである。

【0043】エッチング停止層17を挿入し、エッチング停止層17のエッチング速度よりもエミッタキャップ層7のエッチング速度の方が大きくなる条件でエッチングを行うことにより、エミッタキャップ層7のエッチングをエッチング停止層17の上面で容易に停止させることができる。エッチング停止層17は、HClとH<sub>2</sub>PO<sub>4</sub>との混合液を用いたウェットエッチングにより除去することができる。この混合液はAlGaAs保護層6をほとんどエッチングしないため、AlGaAs保護層6の表面で容易にエッチングを停止させることができる。AlGaAs保護層6の表面がドライエッチング雰囲気に直接晒されることがないため、保護層6の表面が受けるダメージを低減することができる。

【0044】図4Bでは、n型GaAsエミッタキャップ層7のエッチングを、n型InGaPエッチング停止層17の上面で停止させる。しかし、エミッタキャップ層7のドライエッチング時に、エッチング停止層17の表面が変質するため、AlGaAs保護層6の表面を露出させるためのエッチング停止層17のエッチングの再現性が悪くなる。

【0045】図4Cは、エッチング停止層17のエッチング再現性を高めるための構成を示す。n型GaAsエミッタキャップ層7とn型InGaPエッチング停止層17との間にn型AlGaAsエッチング停止層18が挿入されている。このような構成とすると、n型GaAsエミッタキャップ層7のドライエッチングが、n型AlGaAsエッチング停止層18の上面で停止する。エッチング停止層18よりも下の層を、すべて選択ウェットエッチングすることにより、ダメージの少ない再現性の良い加工が可能になる。AlGaAsエッチング停止層18は、例えばH<sub>2</sub>PO<sub>4</sub>とH<sub>2</sub>O<sub>2</sub>とH<sub>2</sub>Oとの混

合液でエッチングし、InGaPエッチング停止層17は、例えばH<sub>2</sub>PO<sub>4</sub>とHClとの混合液でエッチングする。

【0046】なお、図4Cでは、n型AlGaAsエッチング停止層18をn型GaAsエミッタキャップ層7の下に挿入した場合を示したが、n型AlGaAsエッチング停止層18の中間に挿入してもよい。この場合、エッチング停止層18よりも下の層のエッチングは、選択的なウェットエッチングにより行う。

【0047】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0048】

【発明の効果】以上説明したように、本発明によれば、ベース電極とベース層とを直接接触させる。このため、ベース抵抗を低くすることが可能になる。

【図面の簡単な説明】

【図1】本発明の実施例によるHBTの断面図である。

【図2】図1に示すHBTの製造方法を説明するための基板の断面図である。

【図3】図1に示すHBTの製造方法を説明するための基板の断面図である。

【図4】本発明の実施例の変形例によるHBTの断面図である。

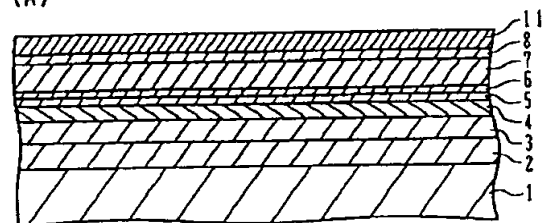
【図5】従来例によるHBTの断面図である。

【符号の説明】

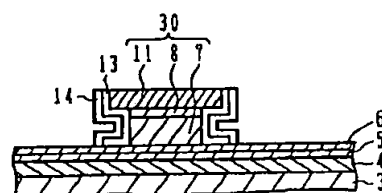
- 1 半絶縁性GaAs支持基板
- 2 n'型GaAsコレクタコンタクト層
- 3 ノンドープGaAsコレクタ層
- 4 p'型GaAsベース層
- 5 n型InGaPエミッタ兼ガードリング層
- 6 n型AlGaAs保護層
- 7 n型GaAsエミッタキャップ層
- 8 n'型InGaAsエミッタキャップ層
- 9 コレクタ電極
- 10a エミッタ上部電極
- 10b ベース電極
- 11 エミッタ電極
- 12 ガードリング部
- 13 SiN側壁体
- 14 SiO<sub>2</sub>側壁体
- 17、18 エッチング停止層
- 20 レジストパターン
- 30 エミッタメサ構造体

【圖2】

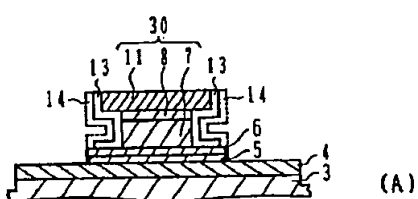
(A)



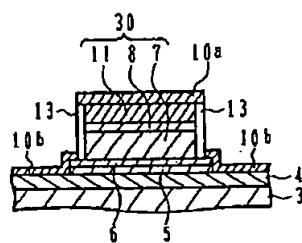
(B)



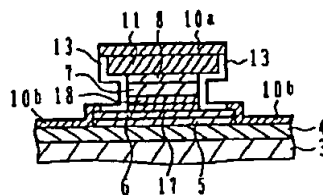
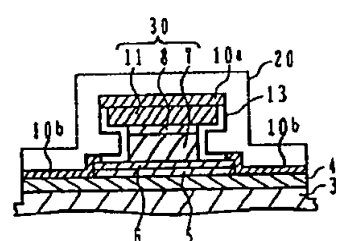
【図3】



(A)



(B)





【図5】

